

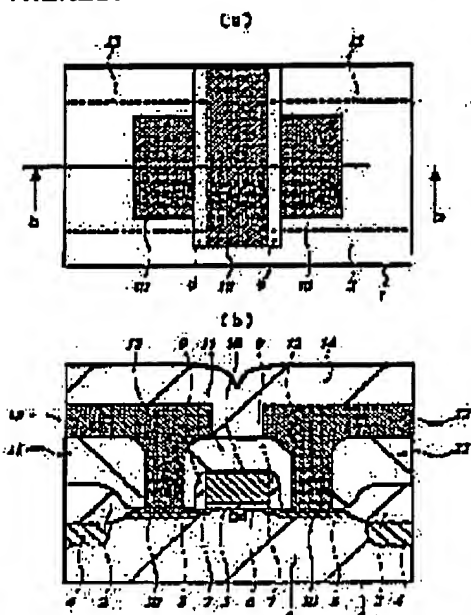
PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229052
 (43)Date of publication of application : 25.08.1998

(51)Int.Cl. H01L 21/28
 H01L 29/78

(21)Application number : 09-029466 (71)Applicant : HITACHI LTD
 (22)Date of filing : 13.02.1997 (72)Inventor : ABE HIROMI
 SUZUKI
 MASAYASU
 ISHIDA
 SHINICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF



(57)Abstract:
 PROBLEM TO BE SOLVED: To provide the manufacture of a semiconductor integrated circuit device which has a low-resistant diffusion layer resistor and a low-resistant contact.

SOLUTION: A MOSFET Qn, which has a gate electrode 6 and source and drain regions consisting of an n-semiconductor region 7 and an n+-semiconductor region 8, is made on a semiconductor substrate 1 which has a field insulating film 2, a p-well 3, and a channel stopper 4, and a stacked film where a cobalt film is stacked, after stacking of a titanium film has been made, and first heat treatment is applied to make a thin epitaxial cobalt silicide film on the surfaces of the gate electrode 6 and the n+-

semiconductor region 8. Next, the titanium film and the cobalt film are removed, and then a cobalt film is stacked, and second heat treatment is applied to make an epitaxial silicide layer 10 which has a film thickness of 30-50nm.

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(00)日本国特許庁(J.P.)

(02)公開特許公報(A)

(11)特許公開番号

特開平10-229052

(12)公開日 平成10年(1998)8月25日

(51)Int.Cl.
H01L 21/28
29/78発明の名称
S.O.IF1
H01L 21/28
29/78301T
301X

特許請求の範囲 請求項の数 7 頁 (全 14 頁)

(21)出願番号 特願平9-28489

(22)出願日 平成9年(1997)3月18日

(71)出願人 00005109

株式会社日立製作所

東京都千代田区神田墨田町三丁目5番地

(72)発明者 阿部 宏夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(73)発明者 鈴木 正彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)発明者 石田 清一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体装置の製造方法及びその製造装置

(57)【要約】

【課題】 低抵抗な接触層形成と高抵抗なコンタクトを有する半導体装置の製造方法を提供する。

【解決手段】 フィールド絶縁膜、パウェル、チャネルストップ4を有する半導体基板1に、ゲート絶縁膜を介して形成されたゲート電極とn+半導体領域2およびn+半導体領域3からなるソース・ドレイン領域

とを有するMOSFETを形成し、チャネル領域の増幅後コバルト膜を堆積した後層膜を形成し、第1の熱処理を施してゲート電極およびn+半導体領域の表面に薄いエピタキシャルコバルトシリサイド膜を形成する。次に、前記チャネル領域およびコバルト膜を堆積後、コバルト膜を堆積して第2の熱処理を施し、0.05-0.1nmの膜厚を有するエピタキシャルシリサイド層10を形成する。

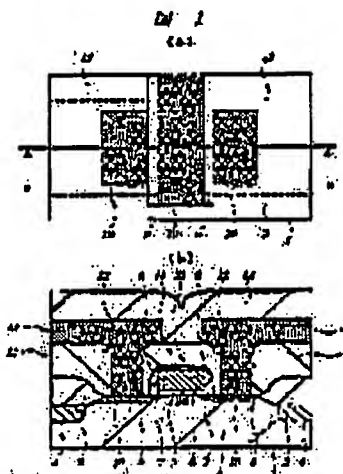


図1
(a) 平面図
(b) 断面図

【請求項1】

その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主面に素子分離領域を形成した後、前記ゲート絶縁膜を介して前記ゲート電極を前記半導体基板の前記活性領域の主面上に形成し、前記ゲート電極の両側の前記半導体基板の主面に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、第1金属膜を堆積し、前記第1金属膜を焼結する第1金属とシリコンとの混合エネルギーよりも低い混合エネルギーで焼結し、シリコンとシリサイドを形成する第2金属で焼結される第2金属膜を堆積する工程、

(c) 前記第1および第2金属膜が堆積された前記半導体基板に第1の熱処理を施し、前記第1金属膜とシリコンが反応する層間に前記第2金属とシリコンとの第1エピタキシャルシリサイド層を形成する工程、

(d) 前記(c)工程で未反応の前記第1および第2金属膜を除去する工程、

(e) 前記未反応の第1および第2金属膜が除去された前記半導体基板の全面に、前記第2金属と同一の材料からなる第3金属膜を堆積する工程、

(f) 前記第3金属膜が堆積された前記半導体基板に第2の熱処理を施し、前記第1エピタキシャルシリサイド層と前記第3金属膜の界面に前記第1エピタキシャルシリサイド層と同一の材料からなる第2エピタキシャルシリサイド層を形成する工程、

(g) 前記(f)工程で未反応の前記第3金属膜を除去する工程、

を含むことを特徴とする半導体集積回路装置の製造方法、

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、

前記第1金属はタタンであり、前記第2および第3金属はコバルトであることを特徴とする半導体集積回路装置の製造方法、

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法であって、

前記第1および第2の熱処理は、処理温度が700℃以下、処理時間が2分以下であることを特徴とする半導体集積回路装置の製造方法、

【請求項4】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形

成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主面に素子分離領域を形成した後、前記ゲート絶縁膜を介して前記ゲート電極を前記半導体基板の前記活性領域の主面上に形成し、前記ゲート電極の両側の前記半導体基板の主面に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、シリコンとシリサイドを形成する第4金属で焼結される第4金属膜、および第4金属膜のシリサイド層と反応しない第5金属からなる第5金属膜を堆積する工程、

(c) 前記第4および第5金属膜が堆積された前記半導体基板に第3の熱処理を施し、前記第4金属膜とシリコンが反応する層間にシリコンとの第1シリサイド層を形成する工程、

(d) 前記(c)工程で未反応の前記第4金属膜および第5金属膜を除去する工程、

(e) 前記未反応の第4金属膜および第5金属膜が除去された前記半導体基板の全面に、前記第1シリサイド層と反応しない第6金属からなる第6金属膜を堆積する工程、

(f) 前記第6金属膜が堆積された前記半導体基板に第4の熱処理を施し、前記第1シリサイド層を焼結する元素と同一の元素から形成され、前記第1シリサイド層よりも低抵抗な第2シリサイド層を形成する工程、

(g) 前記第6金属膜を選択的に除去する工程、

を含むことを特徴とする半導体集積回路装置の製造方法、

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、

前記第4金属はコバルトであり、前記第5および第6金属は酸化チタン、タンタステンまたはモリブデンであることを特徴とする半導体集積回路装置の製造方法、

【請求項6】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有し、前記不純物半導体領域の表面または前記ゲート電極の表面に金属シリサイドからなる底層が形成された半導体集積回路装置であって、前記底層は、30nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長であることを特徴とする半導体集積回路装置、

【請求項7】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形

【0018】本発明のさらに他の目的は、拡散層形成、コンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らになるであろう。

【0020】

【課題を解決するための手段】本明細書において開示される発明のうち、代表的なものの特徴を簡潔に説明すれば、次のとおりである。

【0021】(1) 本発明の半導体集積回路装置の製造方法は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面にゲート絶縁膜を介して形成されたゲート電極およびゲート電極の両側の半導体基板の主面に形成された不純物半導体領域を含むMISFETと、を有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面に素子分離領域を形成した後、ゲート絶縁膜を介してゲート電極を半導体基板の活性領域の主面に形成し、ゲート電極の両側の半導体基板の主面に不純物半導体領域を形成する工程、(b) ゲート電極および不純物半導体領域が形成された半導体基板の全面に第1金属膜を堆積し、第1金属膜を構成する第1金属とシリコンとの割合エネルギーよりも低い割合エネルギーで焼成し、シリコンとシリサイドを形成する第2金属で構成される第2金属膜を増積する工程、(c) 第1および第2金属膜が堆積された半導体基板に第1の熱処理を施し、第1金属膜とシリコンが接触する界面に第2金属とシリコンとの第1エピタキシャルシリサイド層を形成する工程、(d) 前記工程で未反応の第1および第2金属膜を除去する工程、(e) 未反応の第1および第2金属膜が除去された半導体基板の全面に、第2金属と同一の材料からなる第3金属膜を増積する工程、(f) 第3金属膜が堆積された半導体基板に第2の熱処理を施し、第1エピタキシャルシリサイド層と第3金属膜の界面に第1エピタキシャルシリサイド層と同一の材料からなる第2エピタキシャルシリサイド層を形成する工程、(g) 前記工程で未反応の第3金属膜を除去する工程、を含むものである。

【0022】このような半導体集積回路装置の製造方法によれば、前記(a)～(g)の工程において、ゲート電極または不純物半導体領域の両面にシリサイド膜を用いて第2金属のシリサイド層を形成する際に、第2金属とシリサイド形成層との間に第1金属層を形成し、第1金属として第2金属とシリコンとの割合エネルギーよりも大きな割合エネルギーを有する金属を選択するため、第1金属膜を前送層としてエピタキシャルなシリサイド層の形成が可能であり、第1エピタキシャルシリサイド層を形成することができる。また、前記(a)～(g)の工程において、第1エピタキシャルシリサイド層上に、

第2金属と同一の材料からなる第3金属膜を形成し、第2の熱処理を行うため、より厚膜の大きな第2エピタキシャルシリサイド層を低不純物濃度で形成することができる。

【0023】すなわち、第1の熱処理の際には、第2の熱処理の際のエピタキシャル成長に必要な拡散距離としての低いエピタキシャル膜が形成されれば十分であり、第2の熱処理の際には、既に拡散距離が生成されている前送層としての第1金属が必要でなく、そのため、第1エピタキシャルシリサイド層上に低拡散第2金属膜を形成しても第2エピタキシャルシリサイド層を形成することが可能である。この際、第1金属膜が存在しないため、第2エピタキシャルシリサイド層の反応速度が大きく、形成が短時間で第2エピタキシャルシリサイド層の形成をすることができる。また、第1金属膜が存在しないため、不純物として第1金属が第2エピタキシャルシリサイド層に混入することがない。

【0024】これらの結果、第1の熱処理の際の反応時間を短くして、ブリッジングあるいはエンクロージメント等の不良現象を抑制することができる。また、第2の熱処理の際には、十分な膜厚を施すか、不純物の混入がないエピタキシャルシリサイド層を形成することができる。さらに、制御性良く、拡散層抵抗、コンタクト抵抗が十分に低いMISFETを形成することができる。

【0025】なお、第1金属としてチタンを例示することができ、第2および第3金属としてコバルトを例示することができる。

【0026】また、第1および第2の熱処理は、処理温度を700℃以下、処理時間を2分以下とすることができる。つまり、600～700℃で5～10分のアニールを必要とする従来のエピタキシャル成長膜の熱処理と比較して、処理温度、処理時間ともに低減し、処理することができる。

【0027】(2) 本発明の半導体集積回路装置の製造方法は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面に素子分離領域を形成した後、ゲート絶縁膜を介してゲート電極を半導体基板の活性領域の主面に形成し、ゲート電極の両側の半導体基板の主面に不純物半導体領域を形成する工程、(b) ゲート電極および不純物半導体領域が形成された半導体基板の全面に、シリコンとシリサイドを形成する第4金属で構成される、第4金属膜、および第4金属膜のシリサイド層と反応しない第5金属からなる第5金属膜を増積する工程、

(c) 第4および第5金属膜が堆積された半導体基板に第3の熱処理を施し、第4金属膜とシリコンが接触する

層間にシリコンなどの第1シリサイド層を形成する工程。

〔0028〕前記工程で半反応の第4金属膜および第5金属膜を除去する工程。〔a〕半反応の第4金属膜および第5金属膜が除去された半導体基板の上面に、第1シリサイド層と反応しない第5金属膜からなる第5金属膜を増設する工程。〔1〕第5金属膜が堆積された半導体基板に第4の熱処理を行う。第1シリサイド層を形成する元素と同一の元素から堆積され、第1シリサイド層よりも低抵抗な第2シリサイド層を形成する工程。〔c〕第5金属膜を選択的に除去する工程。を含むものである。

〔0029〕このような半導体集積回路装置の製造方法によれば、前記〔a〕〜〔d〕の工程において第1シリサイド層を形成する際に、第4金属膜上にシリサイド物と反応しない第5金属膜を堆積して第3の熱処理を行うため、第4金属膜が導電系から遮断され、導電系と反応せずに熱処理を行うことができる。また、第5金属膜が堆積されているため、第4金属のシリサイド層の表面はフリースタンドの状態とならず、第5金属により固定された状態となる。この結果、第4金属のシリサイド層に腐食が生じなくなり、第4金属のシリサイド層は腐食のない状態にすることができる。このような例は、前記〔a〕〜〔c〕の工程において第2シリサイド層を形成する場合にも同様にあてはまり、第1シリサイド層上に第1シリサイド層と反応しない第5金属膜を堆積して第4の熱処理を行うため、第1シリサイド層が導電系から遮断され、導電系と反応せずに熱処理を行うことができ、熱処理によって形成される第2シリサイド層に腐食が生じることがない。

〔0030〕この結果、導電系との反応による酸化物あるいは窒化物が形成されていないシリサイド層も、腐食を生じることなく安定に形成することができ、低抵抗層は低抵抗およびコンタクト抵抗が十分に低いMISFETを製造することができる。

〔0031〕さらに、本発明では、第3の熱処理の後、未反応の第4および第5金属膜を除去して第4の熱処理を行うため、第3の熱処理のより発生した腐食や酸化物あるいは窒化物を除去して第4の熱処理を行うこととなり、シリサイド層の酸化あるいは窒化をより効果的に防止することが可能である。

〔0032〕なお、第4金属としてコバルトを、第5および第5金属として窒化チタン、タングスタムまたはモリブデンを選択することができる。コバルトシリサイドを形成する場合は、コバルトが特に酸化しやすい物質であることを考慮すると、本発明の製造方法により製造することは、より効果的であると認められる。

〔0033〕〔3〕本発明の半導体集積回路装置は、その上面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の上面にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の上面に形成された不

純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、低抵抗層を、3.0nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層とするものである。

〔0034〕このような半導体集積回路装置によれば、低抵抗層が3.0nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層であるため、低抵抗層は低抵抗およびコンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置とすることができる。

〔0035〕このような半導体集積回路装置は、前記〔1〕の製造方法により製造されるものであるが、従来のエピタキシャル成長法では低抵抗層を有するコバルトシリサイドからなるエピタキシャル成長層を形成しようとすると、長時間が要する等の問題を生じ、ブリッジングあるいはエンクロージメントの発生が避けられず、3.0nm以上のエピタキシャルコバルトシリサイド層を形成することができなかった。本発明は、これを可能としたものである。

〔0036〕〔4〕本発明の半導体集積回路装置は、その上面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の上面にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の上面に形成された不純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、低抵抗層を、その表面に酸化層または窒化層を有さず、かつ、腐食状態にないコバルトシリサイドからなる半導体とするものである。

〔0037〕このような半導体集積回路装置によれば、低抵抗層が、その表面に酸化層または窒化層を有さず、かつ、腐食状態にないコバルトシリサイドからなる半導体であるため、低抵抗層は低抵抗およびコンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置とすることができる。

〔0038〕このような半導体集積回路装置は、前記〔2〕の製造方法により製造されるものであるが、従来の形成方法では低抵抗の低いコバルトシリサイドを形成するためには、3.0nm以上の熱処理を必要とし、酸化あるいは酸化から防止することができず、また、腐食現象の発生しやすいものであった。したがって、その表面に酸化層または窒化層を有さず、かつ、腐食状態にないコバルトシリサイドからなる半導体形成することができなかったが、本発明は、これを可能としたものである。

〔0039〕

〔発明の実施の形態〕以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明す

るための全面において、同一の構造を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0043】(実施例の形態1) 図1は、本発明の一実施例の形態である半導体集積回路装置の一例を示し、図1(a)は平面図、図1(b)は図1(a)におけるb-b断面図である。

【0044】本実施例の形態1の半導体集積回路装置は、たとえばCMOSからなる半導体集積回路装置であってもよいが、pMOSあるいはnMOSであってもよく、ここでは説明の便宜のため、nMOS部について説明する。pMOS部については、nMOS部と同様である。

【0045】本実施例の形態1の半導体集積回路装置は、半導体基板1の主面に形成されたフィールド絶縁膜2に、図示した活性領域にMOSFETQnを有するものである。

【0046】半導体基板1は、n形不純物がたとえばリンが低濃度ドーピングされたn-形基板であり、厚さ0.5cmの厚さを有するものである。

【0047】半導体基板1の主面側にはロウエル3が形成されている。ロウエル3には、n形不純物がたとえばボロンが低濃度ドーピングされている。

【0048】フィールド絶縁膜2は、素子を電気的に分離するための素子分離層であり、たとえばSiO₂膜により形成される。その膜厚は、たとえば400nmとすることができる。なお、フィールド絶縁膜2の下部には、n形不純物が高濃度ドーピングされたチャネルストップバ4が形成されている。

【0049】MOSFETQnは、活性領域の主面上に、ゲート絶縁膜5を介して形成されたゲート電極6と、ゲート電極6の両側の活性領域主面に形成されたソース・ドレイン領域とを有する。ソース・ドレイン領域は、n形の不純物が低濃度ドーピングされたn-半導体領域7と、n形の不純物が高濃度ドーピングされたn-半導体領域8とからなる。すなわち、ソース・ドレイン領域は、いわゆるLightly Doped Drain(LDD)構造を有する。

【0050】ゲート絶縁膜5は、たとえば熱CVD法により形成されたシリコン酸化膜からなり、膜厚は300nmとすることができる。また、ゲート電極6は、たとえばCVD法により形成された多結晶シリコン膜とすることができる。ゲート電極6の側面には、たとえばシリコン酸化膜からなるサイドウォール9が形成されている。

【0051】ゲート電極6およびn-半導体領域8の表面には、コバルトシリサイドからなるエピタキシャルシリサイド層10が形成されており、その膜厚は300nmである。従来、コバルトシリサイドのエピタキシャル成長の膜厚を300nmまで広くしようとすると、ブリッジングあるいはエンクロージメント等の素子不良原因が発生し、大きな膜厚のエピタキシャルシリ

サイド層を得ることができず、ゲート電極6あるいはn-半導体領域8の抵抗値を十分に下げることができなかったが、本実施例の形態1の半導体集積回路装置では、後に説明する製造方法を利用することにより、300nmという低いエピタキシャルシリサイド層10を形成することができ、ゲート電極6およびn-半導体領域8の抵抗値を十分に下げることができる。したがって、ブリッジングあるいはエンクロージメント等の素子不良原因が発生することなく半導体集積回路装置の性能を向上させることができる。

【0052】MOSFETQnおよびフィールド絶縁膜2の上層には層間絶縁膜11が形成され、n-半導体領域8上の層間絶縁膜11に開口した接触孔12を介してn-半導体領域8上のエピタキシャルシリサイド層10に接続する配線13が形成されている。

【0053】層間絶縁膜11は、たとえばシリコン酸化膜からなり、TEOS(テトラエトキシシラン)を用いたCVD法により形成することができる。配線13は、たとえばアルミニウムを主成分とするアルミニウム合金からなり、スパッタ法により形成することができる。

【0054】配線13の上層には、保護絶縁膜14が形成されている。保護絶縁膜14は、たとえばシリコン酸化膜とシリコン窒化膜との積層構造とすることができる。プラズマCVD法により形成することができる。

【0055】なお、本実施例の形態1では、サイドウォール9および層間絶縁膜11としてシリコン酸化膜を例示しているが、シリコン窒化膜でもよいことはいまでもない。また、配線13としてアルミニウム合金を例示しているが、アルミニウムと窒化チタン、タングステン等の積層膜としてもよい。

【0056】次に、本実施例の形態1の半導体集積回路装置の製造方法を、図2〜図10を用いて説明する。図2〜図10は、本発明の一実施例の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、図2〜図6は要部の断面図、図7〜図10は(a)に平面図、(b)に(a)におけるb-b断面図を示す。

【0057】まず、n-形の半導体基板1を用意し、薄いシリコン酸化膜15をその表面に形成した後、シリコン窒化膜16を増膜し、公知のフォトリソグラフィ技術とエッチング技術を用いてパターニングする。シリコン窒化膜16のパターニングは、フィールド絶縁膜2が形成される領域を除くように行う。さらに、シリコン窒化膜16をマスクにして、たとえばリンまたは砒素等のn形不純物を高濃度イオン注入し、チャネルストップバ4を形成する。また、ロウエル3が形成される領域にたとえばボロン等のp形不純物をイオン注入し、ロウエル3を形成する(図2)。

【0058】次に、半導体基板1を熱処理し、シリコン窒化膜16で覆われていない領域を選択的に酸化し、フィールド絶縁膜2を形成する(図3)。チャネルストップ

バ4およびウエルの3は、この段階で活性化される。

【0055】次に、シリコン酸化膜15およびシリコン酸化膜15を除去した後、半導体基板1の全面にゲート絶縁膜5となるシリコン酸化膜およびゲート電極6となる多結晶シリコン膜を形成し、その多結晶シリコン膜を、公知のフォトリソグラフィ技術およびエッチング技術を用いてパターンニングし、ゲート電極6を形成する（図4）。シリコン酸化膜はたとえば熱酸化法により、多結晶シリコン膜はたとえばCVD法により形成することができる。

【0056】次に、フォトレジストおよびゲート電極6をマスクにして、たとえば塩素あるいはリン等のn形不純物を低濃度にイオン注入し、n+半導体領域7を形成する（図5）。

【0057】次に、半導体基板1の全面にシリコン酸化膜を堆積し、公知の異方性エッチングを施して前記シリコン酸化膜をエッチングし、ゲート電極6の側面にサイドウォール8を形成する。さらに、フォトレジスト、ゲート電極6およびサイドウォール8をマスクにして、たとえば塩素あるいはリン等のn形不純物を高濃度にイオン注入し、n+半導体領域8を形成する（図6）。

【0058】この段階で、半導体基板1を熱処理し、n+半導体領域7およびn+半導体領域8を活性化することができるが、後の工程で熱処理を行ってもよい。

【0059】次に、コバルトシリサイドをエビタキシャルに形成するためのコバルト前駆膜となるチタン膜17（第1金属膜）を堆積し、さらにコバルト膜18（第2金属膜）を堆積する（図7）。チタン膜17およびコバルト膜18の堆積は、公知のスパッタ法により行うことができ、その膜厚は、ともに50〜100nmとすることができる。

【0060】次に、半導体基板1に熱処理（第1の熱処理）を施し、反応層のコバルト膜18およびチタン膜17を除去して、ゲート電極6の表面およびn+半導体領域8の表面にエビタキシャルシリサイド膜19a（第1エビタキシャルシリサイド膜）を形成する（図8）。ここで、チタン膜17は、コバルトの前駆膜として作用する金属膜として指示したものであるが、シリコンとシリサイドを形成するコバルト（第2金属）よりもシリコンとの結合エネルギーが大きいものであるチタン（第1金属）に置換されることなく、他の金属膜であってもよい。

【0061】上記熱処理の条件は、たとえば600℃で、1分とすることができる。この熱処理条件は、従来のエビタキシャル成長のための熱処理条件である650〜700℃で、5〜10分と比較して低温かつ短時間であり、従来問題であったブリッジングやエンクローチメントは発生しない。このように、第2の熱処理の条件を低温かつ短時間にすることができ、第1の熱処理によってエビタキシャルシリサイド膜19aが形成されており、エビタキシャルシリサイド膜19aが第2の熱処理におけるエビタキシャルシリサイド膜19bの成長基となっているためであり、また、第1の熱処理においてチタンの膜入が微小であり、第2の熱処理においてはチタン膜17が除去されているため膜厚精度が向上しているためであると考えられる。

【0062】なお、コバルト膜18およびチタン膜17

の除去は、公知のウェットエッチング法を用いることができるが、エッチャントとして、アンモニアと過酸化水素水の混合液または塩酸系過酸液を用いることができる。また、エビタキシャルシリサイド膜19aの膜厚は、コバルト膜18の膜厚が50nmの場合には約7〜8nm、100nmの場合には14〜15nmとすることができる。

【0063】次に、半導体基板1の全面に、チタン膜を堆積することなくコバルト膜19（第3金属膜）を堆積する（図9）。コバルト膜19の堆積は、前記と同様に公知のスパッタ法を用いることができる。コバルト膜19の膜厚は、たとえば10〜20nmとすることができる。

【0064】次に、半導体基板1に熱処理（第2の熱処理）を施し、反応層のコバルト膜19を除去して、エビタキシャルシリサイド膜19a上にエビタキシャルシリサイド膜19b（第2エビタキシャルシリサイド膜）を形成する。エビタキシャルシリサイド膜19bは、エビタキシャルシリサイド膜19aとエビタキシャルシリサイド膜19aとで形成され、その膜厚を30〜300nmとすることができる（図10）。このように、従来の技術では得られない十分な膜厚とすることにより、ゲート電極6およびn+半導体領域8のシート抵抗を低下し、また、図10とのコンタクト抵抗を低減し、半導体素子の導電性の性能を向上させることができる。

【0065】第2の熱処理の熱処理条件は、たとえば600℃で、1分とすることができる。これは、従来のエビタキシャル成長のための熱処理条件である650〜700℃で、5〜10分と比較して低温かつ短時間であり、従来問題であったブリッジングやエンクローチメントは発生しない。このように、第2の熱処理の条件を低温かつ短時間にすることができ、第1の熱処理によってエビタキシャルシリサイド膜19aが形成されており、エビタキシャルシリサイド膜19aが第2の熱処理におけるエビタキシャルシリサイド膜19bの成長基となっているためであり、また、第1の熱処理においてチタンの膜入が微小であり、第2の熱処理においてはチタン膜17が除去されているため膜厚精度が向上しているためであると考えられる。

【0066】最後に、半導体基板1の全面に層間絶縁膜11を形成し、公知のフォトリソグラフィ技術およびエッチング技術を用いて図11を形成する。その後、半導体基板1の全面にたとえばアルミニウム合金膜をスパッタ法で堆積し、公知のフォトリソグラフィ技術およびエッチング技術を用いてアルミニウム合金膜をパターンニングし、配線12を形成する。さらに、保護絶縁膜14を堆積して図1に示す半導体素子の断面構造が得られる。なお、層間絶縁膜11はTEOSと酸とを希釈して低温の処理温度で反応させることによるCVD法により、保護絶縁膜14はプラズマCVD法により形成

ずることができる。

【0067】このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができ、半導体集積回路装置のゲート電極および n^+ 半導体領域8のシート抵抗とコンタクト抵抗を低減して、その性能を向上することができる。すなわち、第1の熱処理により高抵抗な埋込エピタキシャルシリサイド層10を形成し、その後、第2の熱処理により、エピタキシャルシリサイド層10をさらに形成して、エピタキシャルシリサイド層10の膜厚を従来の技術では形成できない十分な厚さで形成することができる。しかし、上記の方法によれば、十分な膜厚のエピタキシャルシリサイド層10を、従来の技術で同等の膜厚を得ようとするは避けることができなからブリッジングおよびエレクトロシメントが発生することなく形成することができる。

【0068】また、エピタキシャルシリサイド層10への不純物である窒素の導入が抑制されるため、エピタキシャルシリサイド層10の抵抗値を低くすることが可能である。

【0069】上記の構成、ゲート電極および n^+ 半導体領域8のシート抵抗を、エピタキシャルシリサイド層10がない場合の1000 Ω/\square から50 Ω/\square に低減することが可能である。

【0070】なお、上記第1および第2の熱処理においては、公知のRTA (Rapid Thermal Anneal) 法を用いることができる。

【0071】また、本発明の形態1では、 n MOSFETを例示して説明したが、 p MOSFETについてもその構造を逆転させてすることにより同様に製造することができる。

【0072】さらに、本発明の形態1ではゲート電極および n^+ 半導体領域8の両方の表面にエピタキシャルシリサイド層10を形成した場合を例示したが、ゲート電極または n^+ 半導体領域8のいずれか一方にのみ形成してもよいことはいうまでもない。

【0073】(本発明の形態2) 図11は、本発明の他の実施の形態である半導体集積回路装置の一例を示し、図11(a)は平面図、図11(b)は図11(a)におけるb-b断面図である。

【0074】本発明の形態2の半導体集積回路装置は、実施の形態1と同様に、CMOSからなる半導体集積回路装置であってもよいが、 p MOSあるいは n MOSであってもよく、説明の便宜のため、 n MOS部について説明する。 p MOS部については、 n MOS部と同様である。

【0075】本発明の形態2の半導体集積回路装置は、実施の形態1と同様に半導体基板1、フィールド絶縁層2、MOSFET Q_n を有し、MOSFET Q_n を形成するpウェル3、ゲート絶縁層5、ゲート電極6、 n^+

半導体領域7、 n^+ 半導体領域8およびサイドウォール9についても実施の形態1と同様である。したがって、実施の形態1と相違する部は図20についてのみ説明し、他の同一の部分については説明を省略する。

【0076】ゲート電極6および n^+ 半導体領域8の表面に形成される部は図20は、その表面に酸化層または窒化層を有する。かつ、窒化状態にないコバルトシリサイドからなる半導体である。また、その膜厚は、30~50nmである。

【0077】従来、コバルトシリサイドを形成するために高温で熱処理すると、コバルトの反応活性がコバルトシリサイドの表面が酸化あるいは窒化されることは避けられず、また、コバルトシリサイドの窒化現象も生じるという問題があったが、本発明の形態2の半導体集積回路装置では、後に説明する製造方法を用いることにより、表面に酸化層または窒化層を有する。かつ、窒化状態にないコバルトシリサイドとするものである。これにより、ゲート電極6あるいは n^+ 半導体領域8の抵抗値を十分に下げることができ、半導体集積回路装置の性能を向上することが可能となる。

【0078】MOSFET Q_n およびフィールド絶縁層2の上層に形成される層間絶縁層11、絶縁層12および保護絶縁層14についても実施の形態1と同様であるため、説明を省略する。

【0079】次に、本発明の形態2の半導体集積回路装置の製造方法を、図12~図15を用いて説明する。図12~図15は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

【0080】本発明の形態2の半導体集積回路装置の製造方法は、実施の形態1における図6の工程までは、実施の形態1と同様である。したがって、説明を省略し、その後の工程から説明する。

【0081】MOSFET Q_n の形成された半導体基板1の全面にコバルト膜21(第4金属膜)を堆積し、さらに酸化窒素膜22(第5金属膜)を堆積する(図12)。ここで、コバルト膜21は、ゲート電極6および n^+ 半導体領域8と反応してシリサイドを形成するものであり、酸化窒素膜22は後に説明する熱処理においてコバルトの酸化あるいは窒化を防止する作用を有する。

【0082】コバルト膜21および酸化窒素膜22は、公知のパターン法を用いて堆積することができ、コバルト膜21の膜厚を1.0~2.0nm、酸化窒素膜22の膜厚を1.0nmとすることができる。

【0083】次に、半導体基板1に熱処理(第6の熱処理)を加し、ゲート電極6および n^+ 半導体領域8のシリコンとコバルト膜21を反応させてコバルトシリサイド23(第1シリサイド層)を形成し、反応後のコバル

ト膜2-1を除去する(図1-3)。第3の熱処理の熱処理条件は、500℃で、1分とすることができる。この段階でのコバルトシリサイド2-0は、熱処理温度が低くあり、また長時間であるため、抵抗値の高いコバルトシリサイドの状態である。その抵抗値としては7.0-8.0 $\mu\Omega \cdot \text{cm}$ を示すことができる。また、形成されたコバルトシリサイド2-0の膜厚は、25-40 nmを示すことができる。

[0084] 本発明のコバルト膜2-1の除去には、アンモニア加水等を用いた公知のウェットエッチング法を用いることができ、これは、コバルトシリサイドを3に形成された表面の酸化層あるいは酸化層と同時に除去することができる。酸化チタン膜2-2の存在によりコバルトシリサイドを3の表面の酸化層あるいは酸化層の形成が抑制されるものの、徐々に酸化層あるいは酸化層を除去することは、この後の工程において必要あるいは必要が前提として導入し、シリサイド層の抵抗値を低下させる原因となることは本発明者らの検討の結果判明している。したがって、本工程で酸化層あるいは酸化層をウェットエッチングにより除去することは、半導体集積回路装置の高性能化に有効であるといえる。

[0085] 次に、半導体基板1の表面に酸化チタン膜2-4を堆積する(図1-4)。酸化チタン膜2-4は、公知のスパッタ法で堆積することができ、その膜厚は1.0 nmとすることができる。

[0086] 次に、半導体基板1に前工程の熱処理より高温の熱処理(第4の熱処理)を施し、コバルトモノシリサイドからなるコバルトシリサイド2-0をコバルトジシリサイドに酸化させ、低抵抗層2-0を形成する。さらに、酸化チタン膜2-4を除去する(図1-5)。

[0087] 前記第4の熱処理は、たとえば700℃で、1分の条件で行うことができる。その熱処理のより正確される低抵抗層2-0の抵抗値は1.5-1.7 $\mu\Omega \cdot \text{cm}$ を示すことができる。また、形成された低抵抗層2-0の膜厚は、30-50 nmとすることができる。

[0088] 本工程の第4の熱処理の際、コバルトシリサイドを3上に酸化チタン膜2-4が堆積されているため、酸化チタン膜2-4がコバルトシリサイド2-0の酸化あるいは酸化防止の作用を有し、コバルトシリサイドからなる低抵抗層2-0の表面に酸化層あるいは酸化層が形成されることを抑制する。また、700℃という高温の熱処理では、コバルトモノシリサイドからなるコバルトシリサイド2-0がコバルトシリサイドからなる低抵抗層2-0に酸化する過程において発熱現象が発生し、低抵抗層2-0に損傷が生じてその抵抗値を大きくする場合が生じやすいが、コバルトシリサイド2-0の上面に酸化チタン膜2-4が堆積されているため、熱伝達において粒子的な移動を阻害し、発熱を発生し易くする作用がある。この結果、低抵抗層2-0の抵抗値を低くする

ことができる。

[0089] 最後に、実施の形態1と同様に、層間絶縁膜1-1、埋込孔1-2、配線1-0および保護絶縁膜1-4を形成して図1-1に示す半導体集積回路装置が完成するが、これらの形成方法は実施の形態1と同様であるため説明を省略する。

[0090] このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができ、半導体集積回路装置のゲート電極およびn+半導体領域のシート抵抗とコンタクト抵抗を低減し、その抵抗値を向上することができる。すなわち、酸化チタン膜2-2および酸化チタン膜2-4を堆積することにより、第3の熱処理において発生あるいは発生を有さないコバルトモノシリサイドからなるコバルトシリサイド2-0を形成し、第4の熱処理においてその表面に酸化層あるいは酸化層を有させ、かつ、発熱のないコバルトシリサイドからなる低抵抗層2-0を形成することができる。この結果、ゲート電極およびn+半導体領域のシート抵抗も、低抵抗層2-0がない場合の1.0 $\mu\Omega / \square$ から50 $\mu\Omega / \square$ に低減することが可能である。

[0091] また、本発明の形態2の製造方法では、低抵抗層2-0に発熱現象が生じないため、その表面が平坦であり、ラフネスの少ないシリサイドを形成することができる。この結果、プロセスマージンを拡大することが可能となる。

[0092] なお、上記第1および第2の熱処理においては、公知のRTA(Rapid Thermal Anneal)法を用いることができること、および、PMOSFETについても同様に適用することができることは、実施の形態1と同様である。

[0093] また、ゲート電極またはn+半導体領域の何れか一方にのみ低抵抗層2-0を形成してもよいことは実施の形態1と同様である。

[0094] さらに、本発明の形態2ではコバルトとシリコンとの反応によるコバルトシリサイド膜の形成を示したが、コバルトに代え、チタン、ニッケル、白金等を用い、それぞれのシリサイドを形成してもよい。また、シリサイドの酸化あるいは酸化防止膜として酸化チタン膜2-2、2-4を用いた場合を示したが、タンクステン、モリブデン等熱処理時にシリサイドと反応せず、かつ、シリサイドとの選択エッチングが可能である膜であれば、酸化チタン膜2-2、2-4に代えて適用可能である。

[0095] 以上、本発明者によってなされた発明を前記実施の形態に基き具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変形が可能であることは言うまでもない。

[0096]

[発明の効果] 本明において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以

下のとおりである。

- 【0097】(1) 低圧でかつ耐湿性良く、低圧流注エポキシ樹脂シリサイド層を形成することができる。
- 【0098】(2) シリサイド層の酸化、炭化を防止し、シリサイド層の電気抵抗を抑制することができる。
- 【0099】(3) 電気抵抗低、コンタクト抵抗が十分に低いM.I.S.F.E.T.を有する半導体集積回路装置を構成することができる。半導体集積回路装置の高信頼化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図11】本発明の他の実施の形態である半導体集積回路装置の一例を示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図12】本発明の他の実施の形態である半導体集積回路装置の一例を示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

装置の製造方法の一例をその工程順に示したものである。 (a)は平面図、(b)は(a)におけるb-b断面図を示す。

【図13】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものである。 (a)は平面図、(b)は(a)におけるb-b断面図を示す。

【図14】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものである。 (a)は平面図、(b)は(a)におけるb-b断面図を示す。

【図15】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものである。 (a)は平面図、(b)は(a)におけるb-b断面図を示す。

【符号の説明】

- 1 半導体基板
- 2 フィールド絶縁膜
- 3 bウェル
- 4 チャネルストロパ
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 n+半導体領域
- 8 p+半導体領域
- 9 サイドウォール
- 10 エピタキシャルシリサイド層
- 10a エピタキシャルシリサイド層
- 10b エピタキシャルシリサイド層
- 11 増設絶縁膜
- 12 接触孔
- 13 配線
- 14 保護絶縁膜
- 15 シリコン酸化膜
- 16 シリコン酸化膜
- 17 チタン膜
- 18 コバルト膜
- 19 コバルト膜
- 20 低抵抗層
- 21 コバルト膜
- 22 酸化チタン膜
- 23 コバルトシリサイド
- 24 酸化チタン膜
- 25 M.O.P.E.T

FIG 1

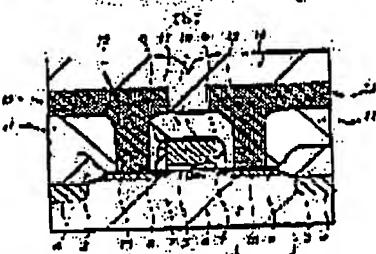
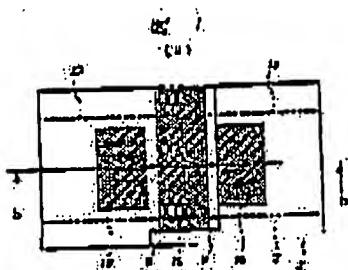


FIG 1: A cross-sectional view of a mechanical assembly. It shows a central vertical component (10) with a central hole (11) passing through it. This component is flanked by two horizontal components (12, 13) which are secured by bolts (14, 15) and nuts (16, 17). The entire assembly is mounted on a base (18).
FIG 2: A cross-sectional view of a mechanical assembly, similar to FIG 1 but with different internal features. It shows a central vertical component (20) with a central hole (21) passing through it. This component is flanked by two horizontal components (22, 23) which are secured by bolts (24, 25) and nuts (26, 27). The entire assembly is mounted on a base (28).

FIG 3

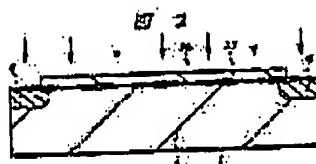


FIG 4

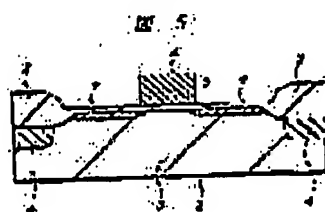


FIG 5



FIG 6

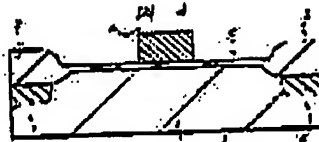
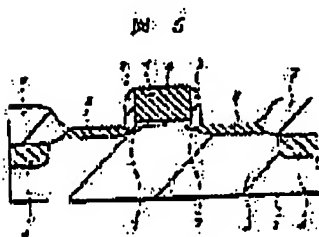
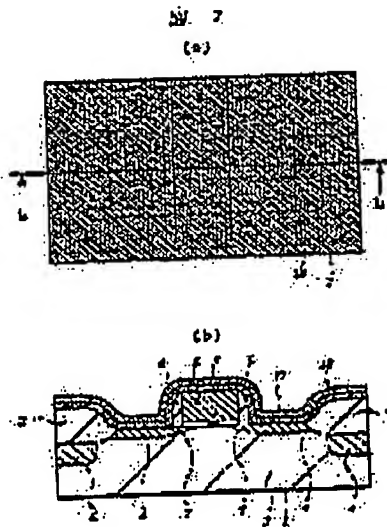


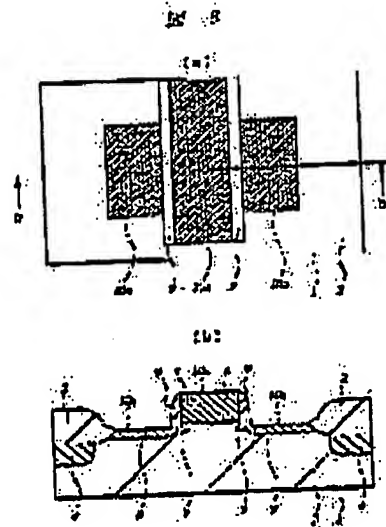
FIG 7



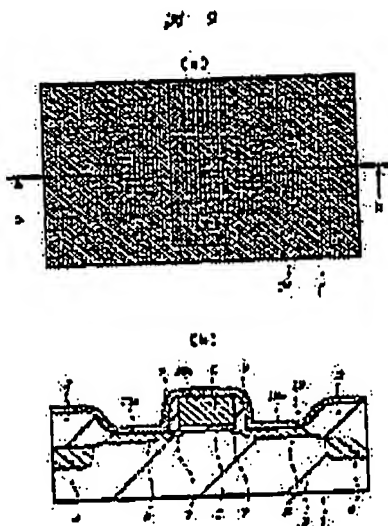
[FIG. 7]



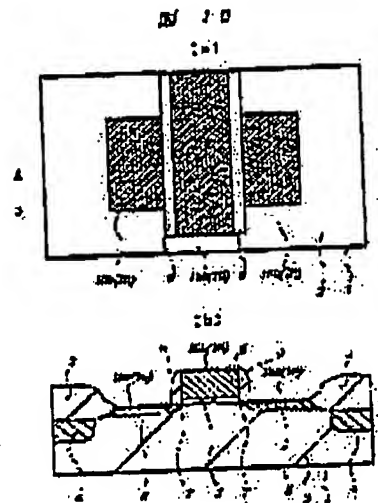
[FIG. 8]



[FIG. 9]

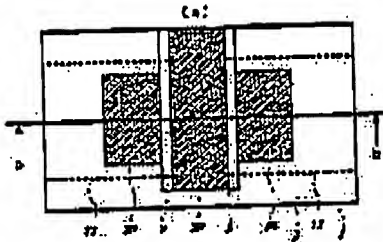


[FIG. 10]

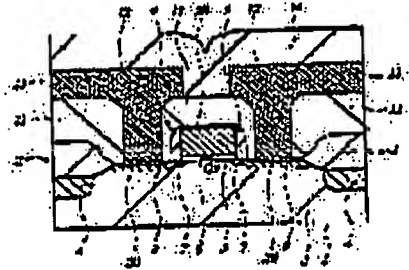


[0113]

Fig. 13



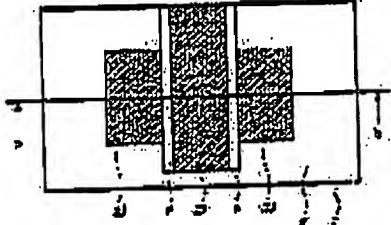
(b)



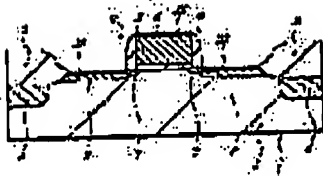
[0131]

Fig. 13

(a)



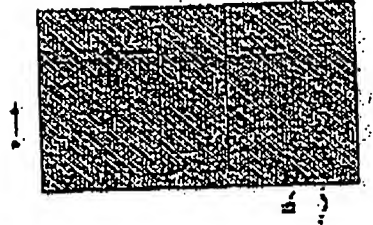
(b)



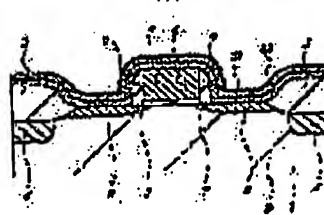
[0112]

Fig. 12

(a)



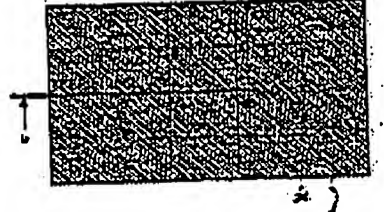
(b)



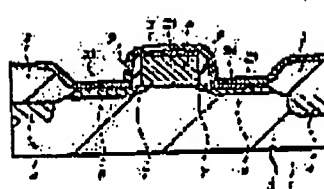
[0141]

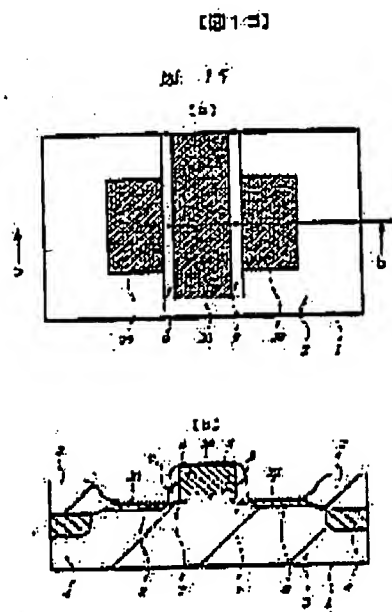
Fig. 14

(a)



(b)





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.